

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

JC978 U.S. PTO
09/866277
05/24/01

#3

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 44405 호
Application Number

출원년월일 : 2000년 07월 31일
Date of Application

출원인 : 한국전자통신연구원
Applicant(s)

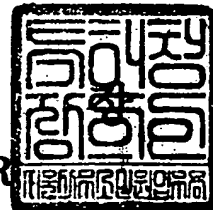
CERTIFIED COPY OF
PRIORITY DOCUMENT



2001 년 05 월 10 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.07.31
【발명의 명칭】	디지털 이동 통신용 108 탭 1대4 인터폴레이션 유한임펄스 응답 필터장치
【발명의 영문명칭】	A 108 tap 1:4 interpolation FIR filter for digital mobile telecommunication
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	전영일
【대리인코드】	9-1998-000540-4
【포괄위임등록번호】	1999-054594-1
【발명자】	
【성명의 국문표기】	임인기
【성명의 영문표기】	LIM, In Gi
【주민등록번호】	650118-1001512
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛 아파트 110-1103
【국적】	KR
【발명자】	
【성명의 국문표기】	이석호
【성명의 영문표기】	LEE, Suk Ho
【주민등록번호】	690712-1046116
【우편번호】	305-390
【주소】	대전광역시 유성구 전민동 365-7번지 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	김경수
【성명의 영문표기】	KIM, Kyung Soo
【주민등록번호】	511221-1093119

【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 목련아파트 305-706
【국적】	KR
【발명자】	
【성명의 국문표기】	조한진
【성명의 영문표기】	CHO, Han Jin
【주민등록번호】	600708-1000522
【우편번호】	301-142
【주소】	대전광역시 중구 유천2동 현대아파트 115-1303
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 전영일 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	273,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	136,500 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 디지털 이동 통신용 단일 비트 입력을 가지는 108 탭 1:4 인터폴레이션 FIR 필터 장치에 관한 것이다.

본 발명에서는 4개의 계수그룹을 각각 3부분으로 분할하고, 108 탭 필터 계수의 대칭성 및 룩업테이블 내의 대칭성을 효과적으로 사용함으로써, 전체 룩업테이블의 크기를 크게 줄인 룩업테이블 최소화 기법과 파이프라인 구조를 응용한다. 이러한 본 발명은 동작 주파수의 증가 없이 하나의 필터로 4채널의 단일 비트 입력에 대해 108탭 1:4 인터폴레이션 FIR 필터 연산을 동시에 처리할 수 있다.

본 발명의 FIR 필터는 4 채널의 단일 비트 입력을 처리하는 입력 시프트 레지스터와 선택기, 룩업테이블의 어드레스를 생성하는 어드레스 생성기, 그룹별로 상기의 어드레스를 입력으로 하여 룩업 테이블과 연산기를 거쳐 필터 출력을 생성하는 룩업 테이블 그룹0 ~ 3, 병렬로 출력되는 계수 그룹별 필터 출력을 지연하기 위한 파이프라인 레지스터 I, 상기의 지연된 출력을 각 채널별로 직렬 변환하기 위한 그룹 선택기, 및 각 채널별 필터 출력의 시간을 맞추기 위한 파이프라인 레지스터 II로 구성된다. 이러한 본 발명은, 룩업테이블의 감소와 4 채널의 필터 입력을 하나의 필터로 처리함으로써 FIR 필터 설계 면적을 작게 할 수 있는 장점이 있으며, 일반적인 단일 필터와 동일한 동작 주파수를 사용함으로써 전력소모가 커지지 않는 장점이 있다.

【대표도】

도 2

【색인어】

록업테이블, 유한임펄스응답 필터, FIR 필터, 파이프라인 레지스터, 어드레스 생성기, 시프트 레지스터, 그룹선택기

【명세서】**【발명의 명칭】**

디지털 이동 통신용 108 탭 1대4 인터폴레이션 유한임펄스응답 필터장치 { A 108 tap 1:4 interpolation FIR filter for digital mobile telecommunication }

【도면의 간단한 설명】

도 1은 종래 기술에 따른 2 채널용 룩업 테이블 방식의 FIR 필터 장치의 구성도,

도 2는 본 발명의 한 실시 예에 따른 108 탭 1:4 인터폴레이션 FIR 필터 장치의 구성도,

도 3은 본 발명에 따른 계수 어드레스 분할 및 룩업 테이블의 구성도,

도 4는 본 발명에 사용하는 클록의 타이밍도,

도 5는 본 발명에 따른 입력 시프트 레지스터와 선택기 및 어드레스 생성기의 상세 구성도,

도 6은 본 발명에 따른 룩업 테이블 그룹 0 ~ 룩업 테이블 그룹 3의 상세도,

도 7은 본 발명에 따른 파이프라인 레지스터 I, II 및 그룹 선택기의 상세도이다.

※ 도면의 주요부분에 대한 부호의 설명 ※

101 ~ 104 : SHIFT_REG27 105 : 4x1 MUX

201 ~ 205 : XOR 게이트 206 ~ 209 : 2x1 MUX

301 : 2⁵LUT0_0 302 : 2⁵LUT0_1

303 : 2²LUT0_C 304 : ALU2

305 : ADD 306 : ALU1

307 : REG

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 IMT-2000(International Mobile Telecommunication in the year 2000) 동기식/비동기식 변조기에 사용되는 108 탭 1:4 인터폴레이션 FIR(Finite Impulse Response) 필터 장치에 관한 것으로서, 보다 상세하게 설명하면 파이프라인 기법과 룩업 테이블 방식을 응용하여 동작 클럭의 속도를 빠르게 하지 않고도 4개의 필터 연산을 동시에 수행하도록 한 108 탭 1:4 인터폴레이션 FIR 필터 장치에 관한 것이다.
- <16> FIR 필터의 VLSI(Very Large Scale Integration) 구현을 위한 설계기술로서, 종래에는 2 채널용 룩업 테이블 방식의 FIR 필터 설계기술을 이용하였다.
- <17> 도 1은 종래 기술에 따른 2 채널용 룩업 테이블 방식의 48 탭 1:4 인터폴레이션 FIR 필터 장치를 도시한 구성도이다.
- <18> 도 1을 참조하면, I 채널 12 비트 시프트 레지스터(10, 20), Q 채널 12 비트 시프트 레지스터(30, 40), 6 비트 2x1 MUX(50, 60), 256 x 11 비트의 룩업테이블 ROM_0(70)과 ROM_1(80), 및 11 비트 가산기(90)로 구성된다. 48 탭 1:4 인터폴레이션 FIR 필터 연산에 사용되는 1 비트 입력 데이터는 12 개이므로 I 채널과 Q 채널의 12 비트 시프트 레지스터(10, 20, 30, 40)가 필요하다. I 채널과 Q 채널의 이진 필터 입력 12 개는 각

각 12 비트 시프트 레지스터에 입력된다.

<19> 이들은 6 비트씩 두 개의 그룹으로 나뉘어져 IR1[5:0](10)과 QR1[5:0](30)이 6 비트(bit) MUX(50)에 의해 다중화되고, 2 비트 그룹 선택신호(2 bit group selection clock)가 붙여져 256 x 11 비트의 ROM_0(70)을 어드레싱한다. 같은 방법으로 IR2[5:0](20)과 QR2[5:0](40)이 6비트 MUX(60)에 의해 다중화되고, 2 비트 그룹 선택신호가 붙여져 256 x 11 비트의 ROM_1(80)을 어드레싱한다.

<20> 두 개의 ROM(70, 80)에서 출력되는 2개의 룩업 테이블 출력은 11 비트 가산기(90)에 의해 더해져서 최종 필터 출력이 생성된다. 이 과정을 4 개의 계수 그룹에 대해 차례대로 수행되므로, 한 번의 필터 입력에 대해 4 번의 출력이 생기는 1:4 인터폴레이션 필터 연산을 수행하게 되며, 필터의 입력이 MUX(50, 60)에 의하여 I 채널과 Q 채널이 번갈아 선택되어짐으로 해서 I 채널과 Q 채널 필터 출력이 다중화된 형태로 출력된다.

<21> 이러한 48탭 1:4 인터폴레이션 FIR 필터의 경우 다음과 같은 필터 계수 그룹을 가진다.

<22> $G0 = \{C0, C4, C8, C12, C16, C20, C24, C28, C32, C36, C40, C44\}$

<23> $G1 = \{C1, C5, C9, C13, C17, C21, C25, C29, C33, C37, C41, C45\}$

<24> $G2 = \{C2, C6, C10, C14, C18, C22, C26, C30, C34, C38, C42, C46\}$

<25> $G3 = \{C3, C7, C11, C15, C19, C23, C27, C31, C35, C39, C43, C47\}$

<26> 즉, 필터 연산에 4 개의 계수 그룹 G0, G1, G2, G3 이 사용되며, 각 그룹 별 필터 연산에서 발생할 수 있는 출력 값의 경우의 수는 2^{12} 개이다. 따라서, 룩업 테이블의

출력값을 11 비트로 가정하였을 경우, 룩업 테이블의 크기는 각 계수 그룹마다 $2^{12} \times 11$ 비트이어야 하지만, 설계 면적의 효율성을 위하여 필터 입력 시프트 레지스터의 크기를 2로 나누어 6비트로 하고 2개의 룩업 테이블과 1 개의 가산기를 사용하면 도 2에 도시된 바와 같이 $2 \times 2^6 \times 11$ 비트의 크기를 갖는 룩업 테이블을 설계할 수 있다. 결국 4 개의 계수 그룹 연산을 수행하는 필터의 최종 룩업 테이블 크기는 $2 \times 4 \times 2^6 \times 11 = 2 \times 256 \times 11$ 비트가 된다.

<27> 이와 같은 2 채널용 룩업 테이블 방식의 FIR 필터 설계기술을 사용하여 48 탭 1:4 인터폴레이션 FIR 필터의 하드웨어의 구현시 구조는 간단하나 2 개의 필터 출력을 동시에 내보내는 2 출력 필터 연산을 수행하려면 메모리 읽기를 2 배로 빠르게 해야 하고, 4 채널용 108 탭 1:4 인터폴레이션 FIR 필터를 설계하기 위해서는 필터의 동작 주파수가 4 배 빨라져야 한다. 또한, 룩업 테이블 ROM의 크기도 $2 \times 4 \times 2^{13.5} \times 11$ 비트가 필요하게 되어 룩업 테이블의 크기가 48 탭에 비해 최소 100배 이상 커지게 된다.

<28> 이와 같이 종래의 기술을 이용하여 108 탭 1:4 인터폴레이션 FIR 필터를 설계하면, 필터 탭 수와 지원해야 하는 채널수가 증가하기 때문에 필터 설계 면적이 증가하고, 동작 클럭의 주파수가 증가하게 된다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 본 발명의 목적은, 파이프라인 기법과 룩업테이블 방식의 고속연산기법을 응용하여 동작 클럭의 속도를 빠르게 하지 않고도 동시에 4개의 필터 연산을 수행할 수 있는 디지털 이동 통신용

108 탭 1:4 인터폴레이션 FIR 필터 장치를 제공하기 위한 것이다.

- <30> 또한, 본 발명의 다른 목적은, 108 탭 계수의 대칭성 및 룩업테이블 내의 대칭성을 분할된 계수 부분에 효과적으로 응용함으로써, 룩업테이블 크기 및 연산을 크게 감소시킨 디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터 장치를 제공하기 위한 것이다.

【발명의 구성 및 작용】

- <31> 상기한 목적을 달성하기 위하여 본 발명에 따른 디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터 장치는,
- <32> 4 채널로부터 각각 입력되는 단일 비트 필터 입력들을 시프트하며 저장하여 각각 27비트의 병렬데이터를 출력하는 4개의 시프트 레지스터들과;
- <33> 상기 출력되는 4채널의 병렬데이터를 순차적으로 하나씩 선택하기 위한 선택기;
- <34> 상기 선택기에서 출력되는 27비트의 병렬데이터를 입력받아 각 계수 그룹의 룩업테이블에 따른 어드레스를 생성하는 어드레스 생성기;
- <35> 상기 어드레스 생성기에서 생성된 어드레스를 사용하여 계수 그룹의 필터 출력을 생성하는 4개의 룩업테이블 그룹들;
- <36> 상기 4개의 룩업테이블 그룹들에서 병렬로 출력되는 계수 그룹별 필터 출력을 지연하기 위한 파이프라인 레지스터 I ;
- <37> 상기 파이프라인 레지스터 I 에서 지연되어 출력되는 출력을 각 채널별로 직렬 변환하기 위한 그룹 선택기; 및

- <38> 상기 그룹 선택기의 출력을 지연하여 각 채널별 필터 출력의 시간을 맞추기 위한 파이프라인 레지스터Ⅱ를 포함한 것을 특징으로 한다.
- <39> 이하, 첨부된 도면을 참조하면서 본 발명의 한 실시예에 따른 '디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터 장치'를 설명하면 다음과 같다.
- <40> 도 2는 본 발명의 한 실시예에 따른 4 채널용 단일 비트 입력의 108 탭 1:4 인터폴레이션 FIR 필터 구성도이다.
- <41> 도 2를 참조하면, 이는 입력 시프트 레지스터 & 선택기(Input Shift Register & Selector)(100), 어드레스 생성기(Address Generator)(200), 필터 계수를 그룹별로 룩업 테이블에 의하여 생성하고 이들은 연산하기 위한 룩업테이블(Look-up Table) 그룹 0(300), 룩업테이블 그룹3(400), 룩업테이블 그룹1(500), 룩업테이블 그룹2(600), 파이프라인 레지스터 I (Pipeline Register)(700), 그룹 선택기(Group Selector)(800) 및 파이프라인 레지스터Ⅱ(Pipeline Register)(900)로 구성된다.
- <42> 도 3은 본 발명에 따른 계수 어드레스 분할 및 룩업테이블의 구성을 도시한 구성도이다. 필터의 탭 수가 108 탭이고, 1:4 인터폴레이션 필터를 설계한다. 또한, 필터 계수의 0~53과 54~107의 좌우 대칭성을 활용하고, 룩업테이블의 크기를 줄이기 위해 108 탭의 계수를 다음과 같이 5 부분으로 나누었다.
- <43> $LUT_0 = \{C0, C1, C2, C3, \dots, C22, C23\}$ (24개 계수)
- <44> $LUT_1 = \{C24, C25, C26, \dots, C46, C47\}$ (24개 계수)

<45> LUT_C = {C48, C49, C50, ... , C58, C59} (12개 계수)

<46> LUT_2 = {C60, C61, C62, ... , C82, C83} (24개 계수)

<47> LUT_3 = {C84, C85, C86, ... , C106, C107} (24개 계수)

<48> 위의 5 개 부분에서 LUT_0와 LUT_3, LUT_1과 LUT_2는 계수의 좌우 대칭성 때문에 같은 계수들을 가지며, LUT_C의 12 개 계수는 4로 나눌 경우 3이 되어 계수의 좌우 대칭성을 이용하지 않는 것이 더욱 회로를 줄일 수 있다. 이러한 5 개의 계수 부분은 1:4 인터폴레이션 필터 동작을 위하여 아래와 같이 4개의 계수그룹으로 각각 나누어 진다. LUT_0은 LUT0_0 ~ LUT3_0의 필터 계수 그룹으로, LUT_1은 LUT0_1 ~ LUT3_1의 필터 계수 그룹으로, LUT_C는 LUT0_C ~ LUT3_C의 필터 계수 그룹으로, LUT_2는 LUT0_2 ~ LUT3_2의 필터 계수 그룹으로, LUT_3은 LUT0_3 ~ LUT3_3의 필터 계수 그룹으로 각각 나눈다. 그러나 위에서 설명한 계수의 좌우 대칭성을 이용하여 LUT_2 부분의 LUT0_2 ~ LUT3_2 필터 계수 그룹과 LUT_3 부분의 LUT0_3 ~ LUT3_3 필터 계수 그룹은 룩업 테이블로 구현되지 않고 입력되는 어드레스를 변환하여 LUT_0 부분과 LUT_1 부분을 두 번 액세스함으로써 룩업테이블의 양을 반으로 줄일 수 있다.

<49> LUT0_0 필터 계수의 경우를 일례로 하여 룩업 테이블 내의 대칭성을 설명하기로 한다. LUT0_0은 C0, C4, C8, C12, C16, C20 의 6개 계수로 구성된다. 입력으로 0이 들어올 경우 +Cn, 1이 들어올 경우 -Cn를 취하면 입력 6 비트의 64 가지 상태에 따라 다음과 같은 룩업테이블 값을 가진다.

<50> 000000 + C0 + C4 + C8 + C12 + C16 + C20

<51> 000001 + C0 + C4 + C8 + C12 + C16 - C20

<52>

.. ..

<53> 111110 - C0 - C4 - C8 - C12 - C16 + C20

<54> 111111 - C0 - C4 - C8 - C12 - C16 - C20

<55> 여기서, 처음 값과 마지막 값은 부호만 반대이고, 크기는 같은 값을 가진다. 다시 말해서 64개의 룩업테이블 값 중에서 앞의 32개의 값과 뒤의 32개의 값은 부호만 반대일 뿐 같은 값을 가지는 대칭이다. 따라서, LUT0_0의 룩업테이블 내의 경우 수는 2^6 개가 아닌 2^5 로 구현되고, 입력 비트의 최상위 비트(C0)가 0일 경우 룩업테이블 값을 그냥 출력하고, 1일 경우에는 부호를 반전하여 출력 함으로써 룩업테이블 내의 경우 수를 다시 반으로 줄일 수 있다.

<56> 도 4에 본 발명의 필터가 사용하는 클록의 타이밍도이다. CK1은 필터의 입력 주파수이고, CK4는 필터의 출력 주파수이다. CK2와 CK1은 CK4의 하강 에지(falling edge)에서 각각 2분주와 4분주를 함으로써 쉽게 생성하거나, ck4보다 두배 빠른 클록이 있을 경우 3비트 카운터에 의하여 ck4, ck2, ck1을 차례로 생성할 수 있다.

<57> 도 5는 본 발명에 따른 입력 시프트 레지스터 & 선택기(Input Shift Register & Selector)(100)와 어드레스 생성기(Address Generator)(200)의 상세 구성도이다.

<58> 입력 시프트 레지스터 & 선택기(100)는 4 채널의 서로 다른 필터 입력 FI0, FI1, FI2, FI3을 각각 차례로 입력받아 27비트의 병렬 데이터를 출력하는 4개의

shift_reg27(101 ~ 104)과, shift_reg27(101 ~ 104)로부터 입력되는 4개의 27비트 병렬 데이터를 CK1과 CK2에 의하여 순차적으로 선택하여 A[26:0]을 출력시키는 4x1 MUX(105)로 구성된다.

<59> 어드레스 생성기(200)는 룩업테이블 내의 대칭성을 이용하여 생략된 룩업테이블의 어드레스를 액세스하기 위해 입력되는 어드레스의 최상위(MSB) 비트와 나머지 비트들을 배타적 논리합 연산하는 5개의 XOR 게이트(201 ~ 205)와, 필터 계수 대칭성을 이용하여 생략된 LUT_2와 LUT_3을 대신하여 LUT_1과 LUT_0을 두 번 액세스하기 위한 4개의 MUX(206 ~ 209)로 구성된다.

<60> 즉, 입력 시프트 레지스터 & 선택기(100)에서 출력되는 A[26:0]은 어드레스 생성기(200)에서 5부분으로 나뉘어지는데, A[14:12], A[6:11], A[20:15], A[0:5], A[26:21]로 각각 나뉘어진다. A[14:12]의 A[14]와 A[13:12]는 제 1 XOR 게이트(201)에서 배타적 논리합 연산이 수행되어 B[2:0]이 출력된다. 이 B[2:0]은 LUT0_C ~ LUT3_C를 위한 어드레스로, $B[2] = A[14]$, $B[1] = A[14] \oplus A[13]$, $B[0] = A[14] \oplus A[12]$ 이다.

<61> 이와 같이 5부분으로 나뉘어진 A[6:11], A[20:15], A[0:5], A[26:21]은 최상위 비트(A[6], A[20], A[0], A[26])와 나머지 비트들(A[7:11], A[19:15], A[1:5], A[25:21])이 배타적 논리합 연산되어 x_1, x_2, x_3, 및 x_4가 출력된다. x_1은 (A[6], $A[6] \oplus A[7]$, $A[6] \oplus A[8]$, $A[6] \oplus A[9]$, $A[6] \oplus A[10]$, $A[6] \oplus A[11]$)이고, x_2는 (A[20], $A[20] \oplus A[19]$, $A[20] \oplus A[18]$, $A[20] \oplus A[17]$, $A[20] \oplus A[16]$, $A[20] \oplus A[15]$)이고, x_3은 (A[0], $A[0] \oplus A[1]$, $A[0] \oplus A[2]$, $A[0] \oplus A[3]$, $A[0] \oplus A[4]$, $A[0] \oplus A[5]$)이고, x_4는 (A[26], $A[26] \oplus A[25]$, $A[26] \oplus A[24]$, $A[26] \oplus A[23]$, $A[26] \oplus A[22]$, $A[26] \oplus A[21]$)이다.

- <62> 이 x_1 과 x_2 는 제 1 MUX(206)와 제 2 MUX(207)에 입력되고, x_3 과 x_4 는 제 3 MUX(208)와 제 4 MUX(209)에 입력된다. 이 MUX들(206, 207, 208, 209)은 $ck4$ 가 0이면 윗 단자로 입력되는 신호를 선택하고 $ck4$ 가 1이면 아랫 단자로 입력되는 신호를 선택하여 각각 $D1[5:0]$, $C1[5:0]$, $D0[5:0]$, $C0[5:0]$ 의 출력신호를 출력한다.
- <63> 따라서, $ck4$ 가 0이면 $D1[5:0]$ 은 x_1 , $C1[5:0]$ 은 x_2 , $D0[5:0]$ 은 x_3 , $C0[5:0]$ 은 x_4 이고, $ck4$ 가 1이면 $D1[5:0]$ 은 x_2 , $C1[5:0]$ 은 x_1 , $D0[5:0]$ 은 x_4 , $C0[5:0]$ 은 x_3 이다.
- <64> 따라서, $C0[5:0]$ 은 $ck4$ 가 0이면 $C0[5] = A[26]$, $C0[4] = A[26] \oplus A[25]$, $C0[3] = A[26] \oplus A[24]$, $C0[2] = A[26] \oplus A[23]$, $C0[1] = A[26] \oplus A[22]$, $C0[0] = A[26] \oplus A[21]$ 이고, $ck4$ 가 1이면 $C0[5] = A[0]$, $C0[4] = A[0] \oplus A[1]$, $C0[3] = A[0] \oplus A[2]$, $C0[2] = A[0] \oplus A[3]$, $C0[1] = A[0] \oplus A[4]$, $C0[0] = A[0] \oplus A[5]$ 이다.
- <65> 도 6은 본 발명에 따른 룩업테이블 그룹0 ~ 룩업테이블 그룹3의 상세 구성도이다.
- <66> 룩업테이블 그룹0(300)은 필터 계수 그룹0의 필터 결과를 룩업테이블과 연산에 의하여 생성하는 블록으로서 그 동작은 다음과 같다.
- <67> $C0[4:0]$ 은 LUT0_0(301)에 입력되어 32개 룩업테이블 값 중 하나인 0A를 출력하고, $C1[4:0]$ 은 LUT0_1(302)에 입력되어 32개 룩업테이블 값 중 하나인 0B를 출력하고, $B[1:0]$ 은 LUT0_C(303)에 입력되어 4개 룩업테이블 값 중 하나인 0C를 출력한다. ALU2(Arithmetic Logic Unit)(304)는 룩업테이블 내의 대칭성을 위해 생략된 룩업테이블 값을 보상하기 위한 연산회로로서 아래의 수학적 식 1과 같은 연산을 수행한다.

<68> [수학식 1]

<69> $C0[5] = 0$ 이고 $C1[5] = 0$ 이면, $ALU2$ 출력 = $0A + 0B$

<70> $C0[5] = 0$ 이고 $C1[5] = 1$ 이면, $ALU2$ 출력 = $0A - 0B$

<71> $C0[5] = 1$ 이고 $C1[5] = 0$ 이면, $ALU2$ 출력 = $-0A + 0B$

<72> $C0[5] = 1$ 이고 $C1[5] = 1$ 이면, $ALU2$ 출력 = $-0A - 0B$

<73> 한편, 룩업테이블 그룹3(400)은 필터 계수 그룹3의 필터 결과를 룩업테이블과 연산을 이용하여, 계수 대칭 특성에 의해 제거된 LUT0_2와 LUT0_3을 계산하기 위하여 다음과 같은 동작을 취한다.

<74> 즉, $D1[4:0]$ 은 LUT3_1(402)에 입력되어 32개 룩업테이블 값 중 하나인 3B를 출력하고, $D0[4:0]$ 은 LUT3_0(401)에 입력되어 32개 룩업테이블 값 중 하나인 3A를 출력하고, $B[1:0]$ 은 LUT3_C(403)에 입력되어 4개 룩업테이블 값 중 하나인 3C를 출력한다. 위의 3B와 3A는 ALU2(Arithmetic Logic Unit)(404)에 입력되는데, 이 ALU2(404)는 룩업테이블 대칭성을 위해 생략된 룩업테이블 값을 보상하기 위한 연산회로로서 위의 수학식 1과 같은 연산을 수행한다.

<75> ALU2(404)의 연산 결과(L3)와 ALU2(304)의 연산 결과는 ADD(305)에서 더하여져 L0가 출력된다. 이 L0과 LUT0_C(303)에서 출력되는 0C는 ALU1(306)에 입력되고, L0와 LUT3_C에서 출력되는 3C는 ALU1(405)에 입력된다. 이 ALU1은 B[2]에 의해 출력값이 결정되는데, $B[2] = 0$ 이면 ALU1(306)의 출력은 $L0 + 0C$ 이고 ALU1(405)의 출력은 $L0 + 3C$

이며, $B[2] = 1$ 이면 ALU1(306)의 출력은 L0 - 0C 이고 ALU1(405)의 출력은 L0 - 3C 이다. REG(307)은 ck4의 상승에지에 의하여 룩업테이블 그룹0의 출력인 G0을 저장하기 위한 레지스터로서 계수의 대칭성으로 두 번 액세스되는 룩업테이블 그룹0(300)의 출력 값을 버퍼링하기 위해 사용된다. ALU1(405)에서는 룩업테이블 그룹3의 출력인 G3을 출력한다.

<76> 위의 룩업테이블 그룹0(300) 및 룩업테이블 그룹3(400)의 동작과 동일한 방법으로 룩업테이블 그룹1(500) 및 룩업테이블 그룹2(600)가 동작되어 필터 출력인 G0, G1, G2, G3이 생성된다.

<77> 도 7은 본 발명에 따른 파이프라인 레지스터 I, II와 그룹 선택기의 상세 구성도이다.

<78> 파이프라인 레지스터 I (700)는 병렬로 동시에 생성된 4개 룩업테이블 그룹에 대한 필터 출력 G0, G1, G2, G3을 직렬로 순차적으로 출력시키기 위하여 각각의 출력을 해당 계수 그룹에 따라 지연시키는 기능을 수행한다. 이 파이프라인 레지스터 I (700)는 ck4의 네가티브 에지(negative edge)에서 입력 데이터를 저장하는 10개의 REG로 구성된다. G0은 4개의 REG를 거쳐 4 클럭이 지연되어 R0로 출력되고, G1은 3개의 REG를 거쳐 3클럭이 지연되어 R1로 출력되며, G2는 2개의 REG를 거쳐 2클럭이 지연되어 R2로 출력되고, G3은 1개의 REG를 거쳐 1클럭이 지연되어 R3로 출력된다.

<79> 그룹 선택기(800)는 4x1 MUX 4개로 구성되며, 파이프라인 레지스터 I (700)

에 의하여 지연되어 출력되는 R0, R1, R2, R3의 신호를 ck1과 ck2의 제어를 받는 4x1 MUX(801~804)를 사용하여 선택함으로써, 각 필터 출력의 계수그룹 출력들을 직렬로 출력하는 기능을 수행한다. ck1과 ck2가 '00', '01', '10', '11'로 변함에 따라 4x1 MUX(801)은 R0, R3, R2, R1의 순서로 선택하고, 4x1 MUX(802)는 R1, R0, R3, R2의 순서로 선택하고, 4x1 MUX(803)은 R2, R1, R0, R3의 순서로 선택하고, 4x1 MUX(804)는 R3, R2, R1, R0의 순서로 선택하여 출력 M0, M1, M2, M3을 각각 생성한다.

<80> 파이프라인 레지스터 II(900)는 ck4의 네거티브 에지(negative edge)에서 저장하는 10개의 REG들로 구성되며, 그룹 선택기(800)에서 출력되는 M0 ~ M3의 신호를 병렬로 각 필터 출력별로 시간 지연을 맞추기 위해 사용된다. 채널 0의 최종 필터 출력 F00은 M0을 4 클록 지연하여 생성하고, 채널 1의 최종 필터 출력 F01은 M1을 3 클록 지연하여 생성하고, 채널 2의 최종 필터 출력 F02는 M2를 2 클록 지연하여 생성하고, 채널 3의 최종 필터 출력 F03은 M3을 1 클록 지연하여 생성한다.

<81> 위에서 양호한 실시예에 근거하여 이 발명을 설명하였지만, 이러한 실시예는 이 발명을 제한하려는 것이 아니라 예시하려는 것이다. 이 발명이 속하는 분야의 숙련자에게는 이 발명의 기술사상을 벗어남이 없이 위 실시예에 대한 다양한 변화나 변경 또는 조절이 가능함이 자명할 것이다. 그러므로, 이 발명의 보호범위는 첨부된 청구범위에 의해서만 한정될 것이며, 위와 같은 변화예나 변경예 또는 조절예를 모두 포함하는 것으로 해석되어야 할 것이다.

【발명의 효과】

<82> 이상과 같이 본 발명에 의하면, 4개의 계수그룹을 3 부분으로 분할하고, 108 탭 필터 계수의 대칭성 및 룩업 테이블 내의 대칭성을 효과적으로 사용함으로써 전체 룩업 테이블의 크기를 종래 기술에 비해 크게 줄인 룩업테이블 최소화 기법과 파이프라인 구조를 응용함으로써 동작 주파수의 증가없이 하나의 필터로 4채널의 단일 비트 입력에 대해 108탭 1:4 인터폴레이션 FIR필터 연산을 동시에 처리하는 새로운 필터의 설계 기법을 제안한다. 이러한 본 발명은 필터를 구성하는 룩업테이블의 감소와 4 채널의 필터 입력을 하나의 필터로 처리함으로써 FIR 필터 설계 면적을 작게 할 수 있는 장점이 있으며, 일반적인 단일 필터와 동일한 동작 주파수를 사용함으로써 전력소모가 커지지 않는 장점이 있다.

【특허청구범위】**【청구항 1】**

4 채널로부터 각각 입력되는 단일 비트 필터 입력들을 시프트하며 저장하여 각각 27비트의 병렬데이터를 출력하는 4개의 시프트 레지스터들과;

상기 출력되는 4채널의 병렬데이터를 순차적으로 하나씩 선택하기 위한 선택기;

상기 선택기에서 출력되는 27비트의 병렬데이터를 입력받아 각 계수 그룹의 룩업테이블에 따른 어드레스를 생성하는 어드레스 생성기;

상기 어드레스 생성기에서 생성된 어드레스를 사용하여 계수 그룹의 필터 출력을 생성하는 4개의 룩업테이블 그룹들;

상기 4개의 룩업테이블 그룹들에서 병렬로 출력되는 계수 그룹별 필터 출력을 지연하기 위한 파이프라인 레지스터 I;

상기 파이프라인 레지스터 I에서 지연되어 출력되는 출력을 각 채널별로 직렬 변환하기 위한 그룹 선택기; 및

상기 그룹 선택기의 출력을 지연하여 각 채널별 필터 출력의 시간을 맞추기 위한 파이프라인 레지스터 II를 포함한 것을 특징으로 하는 디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터장치.

【청구항 2】

제 1 항에 있어서,

상기 어드레스 생성기는,

상기 시프트레지스터로부터 입력되는 27비트 병렬데이터를 5개의 계수 그룹 (LUT_0, LUT_1, LUT_C, LUT_2, LUT_3)을 액세스하기 위한 5개의 그룹으로 분할하고,

분할된 각 그룹별로 최상위비트와 나머지 비트들을 배타적 논리합 연산하여 룩업 테이블 내의 대칭성을 이용하여 생략된 룩업테이블의 어드레스를 액세스하도록 하는 5개의 배타적 논리합 연산기들과,

상기 필터계수 대칭성을 이용하여 생략된 LUT_2와 LUT_3의 어드레스를 액세스하기 위하여 상기 LUT_2와 LUT_3의 어드레스를 변환하여 상기 LUT_0와 LUT_1를 두 번씩 액세스하도록 한 4개의 멀티플렉서들을 포함한 것을 특징으로 하는 디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터장치.

【청구항 3】

제 1 항에 있어서,

상기 4개의 룩업테이블 그룹들은,

각 계수 그룹별로 구성되며,

각 룩업 테이블 그룹 내의 룩업 테이블 생성은 27개 계수를 분할하여 생성되는데, 6개의 계수를 가지는 LUT_0, 6개의 계수를 가지는 LUT_1 그리고 3개의 계수를 가지는 LUT_C로 분할하며;

룩업 테이블 그룹0와 룩업 테이블 그룹3 그리고 룩업 테이블 그룹1과 룩업

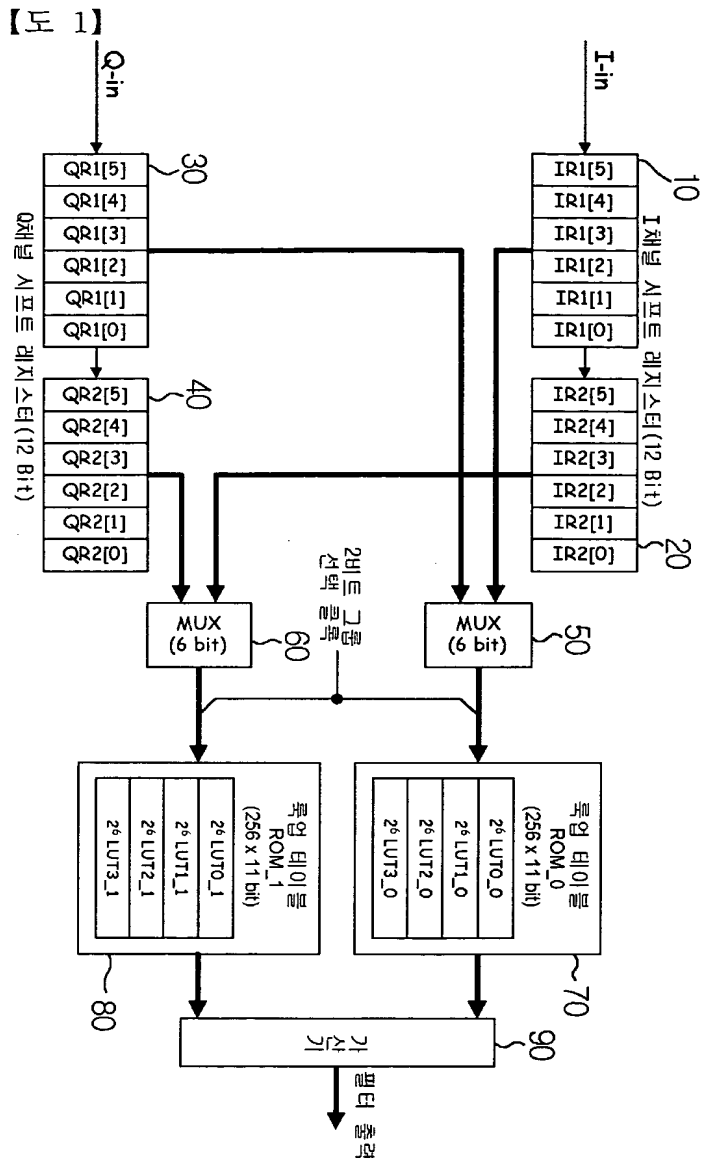
테이블 그룹2는 계수의 대칭성을 이용해 생략된 룩업 테이블 값을 서로 제공하기 위하여 각 룩업 테이블 그룹 내의 LUT_0와 LUT1의 계수 부분을 각각 두 번씩 액세스되는 것을 특징으로 하는 디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터장치.

【청구항 4】

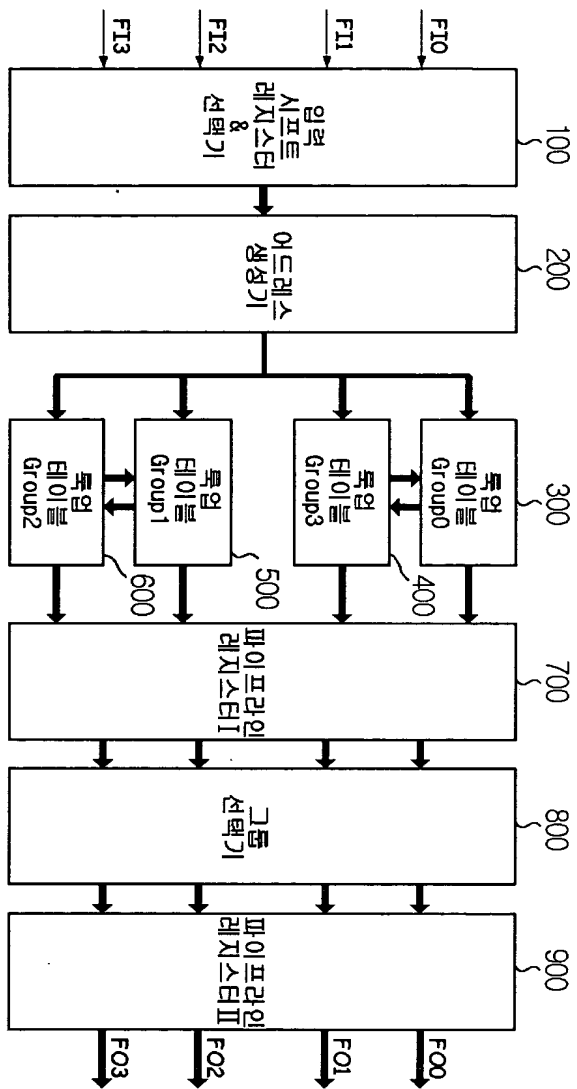
제 3 항에 있어서,

상기 LUT_0, LUT_1, LUT_C는 룩업테이블 내의 대칭성을 이용하여 룩업테이블의 수를 절반으로 줄이는 것을 특징으로 하는 디지털 이동 통신용 108 탭 1:4 인터폴레이션 FIR 필터장치.

【도면】



【도 2】




```
szp_reg27
output
```

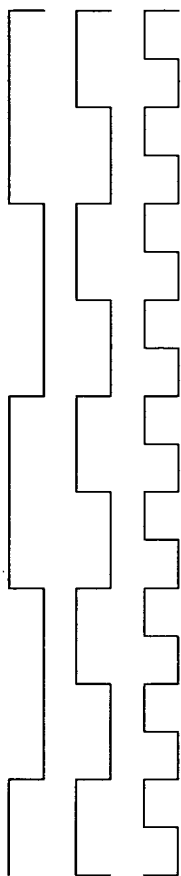
6 bit	6 bit	3 bit	6 bit	6 bit
A[26:21]	A[20:16]	A[14:12]	A[11:6]	A[5:0]

【도 4】

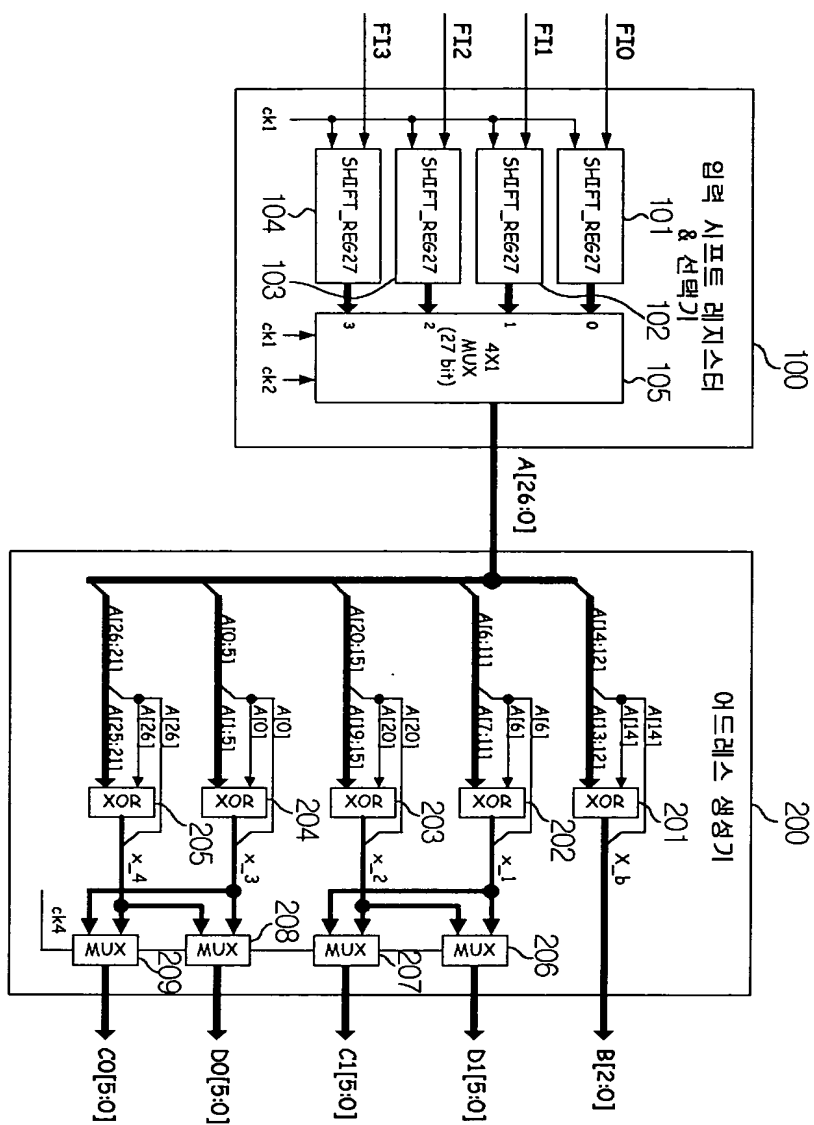
ck1

ck2

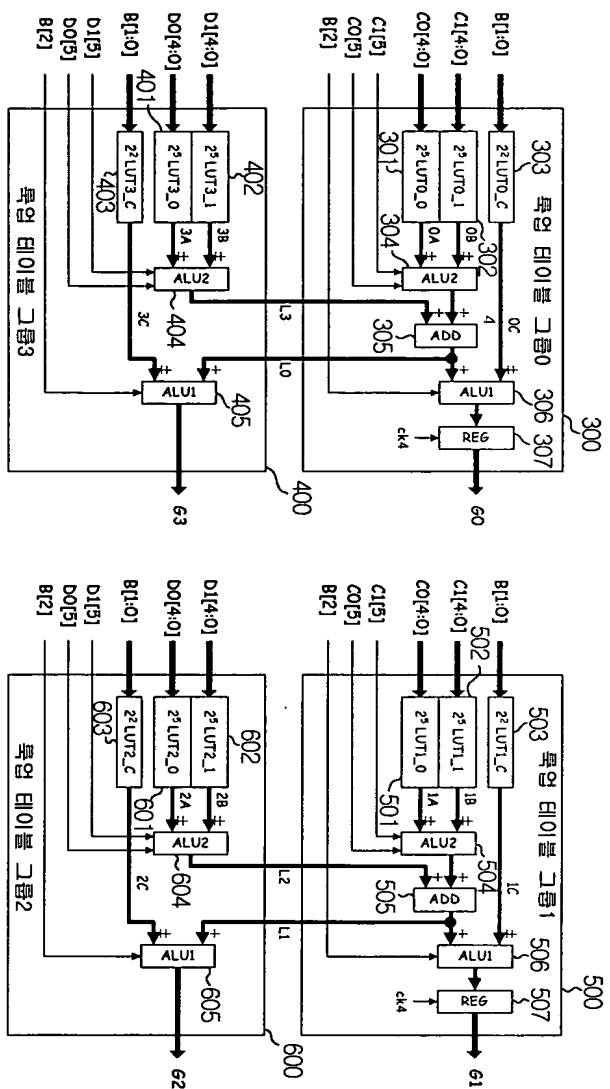
ck4



【 5 】



【도 6】



【도 7】

